



# KOREAN PATENT ABSTRACTS(KR)

**Document Code:**A

**(11) Publication No.**1020010064118 **(43) Publication Date.** 20010709

**(21) Application No.**1019990062251 **(22) Application Date.** 19991224

**(51) IPC Code:**

H01L 29/78

H01L 21/336

H01L 21/8242

**(71) Applicant:**

HYNIX SEMICONDUCTOR INC.

**(72) Inventor:**

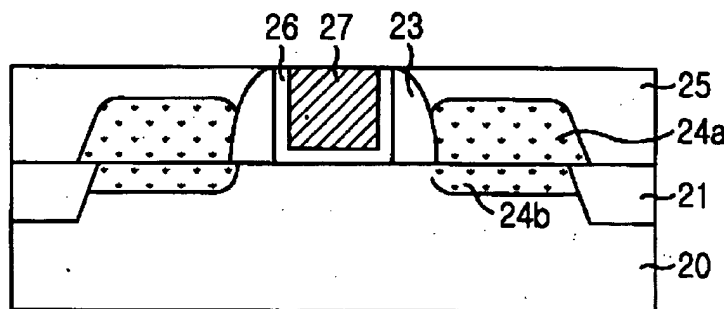
LEE, JEONG HO

**(30) Priority:**

**(54) Title of Invention**

METHOD FOR MANUFACTURING DAMASCENE GATE TYPE MOS TRANSISTOR USING SELECTIVE EPITAXIAL GROWTH METHOD

**Representative drawing**



**(57) Abstract:**

**PURPOSE:** A method for manufacturing a damascene gate type MOS transistor using a selective epitaxial growth method is provided to form uniformly a thickness of a gate by using a selective epitaxial growth method.

**CONSTITUTION:** A dummy gate pattern is formed on a semiconductor substrate(20) by using a nitride layer. An oxide layer spacer(23) is formed at a sidewall of the dummy gate pattern. A selective epitaxial layer(24a) is formed on the exposed semiconductor substrate(20). An interlayer dielectric (25) is formed on the whole structure. The dummy gate pattern is exposed by flattening the interlayer dielectric(25). The dummy gate pattern is removed.

AM

A gate insulating layer(26) and a conductive layer(27) for gate electrode are buried therein.

COPYRIGHT 2001 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H01L 29/78  
H01L 21/336  
H01L 21/8242

(11) 공개번호 특2001-0064118  
(43) 공개일자 2001년07월09일

(21) 출원번호	10-1999-0062251
(22) 출원일자	1999년12월24일
(71) 출원인	주식회사 하이닉스반도체
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 이정호
(74) 대리인	경기도이천시부발읍아미리753번지현대아파트704-202 특허법인 신성 박해천, 특허법인 신성 원석희, 특허법인 신성 최종식, 특허 법인 신성 박정후, 특허법인 신성 정지원

심사청구 : 없음

(54) 선택적 에피택셜 성장 기술을 적용한 대머신 게이트형모스 트랜지스터 제조방법

요약

본 발명은 반도체 제조 기술에 관한 것으로, 특히 대머신(damascene) 게이트형 모스 트랜지스터 제조 공정에 관한 것이다. 더미 게이트 방식의 대머신 게이트 적용시 게이트 두께의 균일도를 확보하기 용이하며, 선택적 에피택셜 성장(SEG) 기술의 적용이 용이한 대머신 게이트형 모스 트랜지스터 제조방법을 제공하는데 그 목적이 있다. 본 발명은 더미 게이트 방식의 대머신 게이트 형성 공정의 단점(게이트의 두께 균일도 확보)을 보완하고, 향후 SEG 공정이 추가될 경우를 염두에 두어 SEG 측면에서 공정이 유리해지도록 공정을 보완하였다. 이를 위해 본 발명은 더미 게이트를 질화막으로 형성함으로써 CMP 공정시 질화막이 충분한 연마 정지막 역할을 수행할 수 있도록 하며, 기존의 질화막 스페이서를 산화막 스페이서로 대체하여 질화막 스페이서 식각에 의한 플라즈마 열화현상과 그에 따른 에피택셜층 성장시의 성장 속도 저하 및 선택성 저하를 개선하였다.

대표도

도2d

색인어

대머신 게이트, 모스 트랜지스터, 선택적 에피택셜 성장, 질화막, 산화막 스페이서

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래기술에 따른 대머신 게이트형 모스 트랜지스터 제조 공정도.

도 2a 내지 도 2d는 본 발명의 일 실시예에 따른 대머신 게이트형 모스 트랜지스터 제조 공정도.

\* 도면의 주요 부분에 대한 부호의 설명

20 : 실리콘 기판	21 : 필드 산화막
22 : 더미 게이트	23 : 산화막 스페이서
24a : 선택적 에피택셜 실리콘층	25 : 층간절연막
26 : 게이트 절연막	27 : 게이트 전극용 금속막

발명의 상세한 설명

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 기술에 관한 것으로, 특히 반도체 소자를 이루는 가장 기본적인 소자인 모스 트랜지스터 제조 공정에 관한 것이며, 더 자세히는 대머신(damascene) 게이트형 모스 트랜지스터 제조 공정에 관한 것이다.

일반적으로, 모스 트랜지스터의 게이트 전극을 형성함에 있어서, 도핑된 폴리실리콘(doped polysilicon)을 사용해 왔다. 그러나, 반도체 소자의 고집적화에 따라 소자를 이루는 패턴이 미세화 되고 있으며, 최근에는 0.15 $\mu$ m 선폭 이하까지 미세화가 진행되고 있다. 이에 따라, 통상적인 전극 형성시 사용되어 온 도핑된 폴리실리콘은 그 자체의 높은 비저항 특성으로 인하여 지연 시간이 길기 때문에 빠른 동작을 요구하는 반도체 소자에 적용하기가 어려운 문제점이 있었다.

이러한 문제점은 반도체 장치의 고집적화에 따라 더욱 심각한 문제로 대두되고 있으며, 이를 개선하기 위하여 1기가 디램(DRAM)급 이상의 반도체 소자 제조시 전극 재료로서 비저항이 낮은 티타늄 실리사이드(TiSi<sub>x</sub>), 텅스텐(W) 등의 금속계 물질의 적용이 유력시되고 있다.

그러나, 이와 같은 티타늄 실리사이드, 텅스텐 등을 사용하여 게이트 전극을 형성할 경우 다음과 같은 근본적인 문제를 안고 있다. 게이트 산화막(gate oxide) 상에 금속계 물질막을 포함하는 게이트 전극 물질을 증착하고, 게이트 전극 마스크를 이용하여 이들을 패터닝할 때 게이트 산화막의 열화가 발생하는 데, 이를 보상하기 위하여 게이트 구조를 재산화시키게 된다. 그런데, 게이트 재산화 공정시 금속계 물질막의 이상산화 현상이 유발되어 부도체를 형성하고 패터닝된 게이트 전극의 프로파일을 열화시키는 문제점이 있었다.

대머신 게이트 기술은 이러한 문제점들을 해결할 수 있는 대안으로 부각되고 있다. 또한, 대머신 게이트에는 고유전율 박막을 게이트 절연막으로 적용할 수 있어 향후 차세대 반도체 소자에의 적용이 유망하다.

한편, 디자인 룰(design rule)의 감소에 따른 문제점으로 게이트 크기의 축소로 인하여 단채널 효과(short channel effect)를 지적하지 않을 수 없다. 이러한 단채널 효과를 개선하기 위하여 소오스/드레인이 게이트 저면보다 높게 형성하여 엘리베이트드(elevated) 소오스/드레인 구조가 제시되었으며, 이러한 엘리베이트드 소오스/드레인 구조를 형성하기 위하여 선택적 에피택셜 성장(SEG) 기술이 사용되고 있다. SEG 기술은 콘택 공정의 마진 확보에도 유리한 장점이 있다.

첨부된 도면 도 1a 내지 도 1d는 종래기술에 따른 대머신 게이트형 모스 트랜지스터 제조 공정도로서, 더미(dummy) 게이트를 사용한 공정을 도시하고 있다.

종래기술에 따른 대머신 게이트형 모스 트랜지스터 제조 공정은, 우선 도 1a에 도시된 바와 같이 실리콘 기판(10) 상에 필드 산화막(11)을 증착하고, 게이트 형성 영역에 폴리실리콘막을 사용하여 더미 게이트(12)를 형성한다.

다음으로, 도 1b에 도시된 바와 같이 더미 게이트(12) 측벽에 질화막 스페이서(13)를 형성하고, 소오스/드레인(14) 형성을 위한 이온주입 및 열처리를 실시한다.

계속하여, 도 1c에 도시된 바와 같이 전체 구조 상부에 층간절연막(15)을 증착하고, 화학·기계적 연마(CMP) 공정을 실시하여 더미 게이트(12)가 노출될 정도로 층간절연막(15)을 평탄화한다.

이어서, 도 1d에 도시된 바와 같이 더미 게이트(12)를 습식 제거하고, 게이트 산화막(16) 및 게이트 전극용 금속막(17)을 차례로 증착한 다음, 층간절연막(15)이 노출될 정도로 CMP 공정을 실시하여 평탄화를 이룬다.

상기와 같이 더미 게이트를 이용한 종래기술은 게이트가 소오스/드레인 형성 후에 형성되기 때문에, 소오스/드레인 형성에 필요한 높은 온도에서의 열공정에 의한 게이트의 열화를 피할 수 있다는 장점과 향후 채택이 유력시 되는 고유전율 산화막과 금속 게이트 형성시 문제점으로 지적되는 게이트 식각 능력 및 플라스마에 의한 소자의 열화 현상을 방지할 수 있다는 장점을 가지고 있다.

그러나, 이 기술은 CMP 공정시 폴리실리콘막과 층간절연막간의 연마 선택비가 낮아 연마 불균일도가 증가하게 되므로 웨이퍼 내에서의 게이트 두께의 균일도를 확보하기 힘든 문제점을 가지고 있다. 또한, 향후 적용이 유망한 SEG 공정을 적용하기 어려운 문제점을 가지고 있다. 즉, SEG 공정시 게이트가 노출된 상태이기 때문에 에피택셜층의 선택성을 확보하기 어렵고, 질화막 스페이서 식각시 플라스마 열화현상에 의해 에피택셜층의 성장속도 및 선택성 측면에서 불리하다.

### 발명이 이루고자하는 기술적 과제

본 발명은 더미 게이트 방식의 대머신 게이트 적용시 게이트 두께의 균일도를 확보하기 용이하며, 선택적 에피택셜 성장(SEG) 기술의 적용이 용이한 대머신 게이트형 모스 트랜지스터 제조방법을 제공하는 데 그 목적이 있다.

### 발명의 구성 및 작용

상기의 기술적 과제를 해결하기 위한 본 발명의 특징적인 대머신 게이트형 모스 트랜지스터 제조방법은, 소정의 하부층이 형성된 반도체 기판 상에 질화막을 사용하여 더미 게이트 패턴을 형성하는 제1 단계; 상기 더미 게이트 패턴 측벽에 산화막 스페이서를 형성하는 제2 단계; 상기 제2 단계 수행 후 노출

된 상기 반도체 기판 상에 선택적 에피택셜층을 형성하는 제3 단계; 상기 제3 단계를 마친 전체 구조 상부에 중간절연막을 형성하는 제4 단계; 화학·기계적 연마 공정을 실시하여 상기 더미 게이트 패턴이 노출될 정도로 상기 중간절연막을 평탄화시키는 제5 단계; 상기 더미 게이트 패턴을 제거하는 제6 단계; 및 상기 더미 게이트 패턴이 제거된 홈 내에 게이트 절연막 및 게이트 전극용 전도막을 매립하는 제7 단계를 포함하여 이루어진다.

즉, 본 발명은 더미 게이트 방식의 대머신 게이트 형성 공정의 단점(게이트의 두께 균일도 확보)을 보완하고, 향후 SEG 공정이 추가될 경우를 염두에 두어 SEG 측면에서 공정이 유리해지도록 공정을 보완하였다. 이를 위해 본 발명은 더미 게이트를 질화막으로 형성함으로써 CMP 공정시 질화막이 충분한 연마 정지막 역할을 수행할 수 있도록 하며, 기존의 질화막 스페이서를 산화막 스페이서로 대체하여 질화막 스페이서 식각에 의한 플라즈마 열화현상과 그에 따른 에피택셜층 성장시의 성장 속도 저하 및 선택성 저하를 개선하였다.

이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.

첨부된 도면 도 2a 내지 도 2d는 본 발명의 일 실시예에 따른 대머신 게이트형 MOS 트랜지스터 제조 공정을 도시한 것으로, 이하 이를 참조하여 설명한다.

본 실시예에 따른 대머신 게이트형 MOS 트랜지스터 제조 공정은, 우선 도 2a에 도시된 바와 같이 필드 산화막(21)이 형성된 실리콘 기판(20) 상에 더미 게이트용 질화막을 증착하고, 게이트 마스크를 사용한 사진 및 식각 공정을 통해 더미 게이트(22)를 형성한다. 이때, 더미 게이트용 질화막은 저압화학기상증착(LPCVD)법을 사용하며, 그 두께는 1500~3000 Å 정도가 바람직하다.

다음으로, 도 2b에 도시된 바와 같이 더미 게이트(22) 측벽에 산화막 스페이서(23)를 형성하고, 노출된 실리콘 기판(20) 상에 선택적 에피택셜 실리콘층(24a)을 증착한 다음, 이온주입 및 열처리를 실시하여 소오스/드레인(24a, 24b)을 형성한다. 이때, 소오스/드레인(24a, 24b) 형성을 위해 선택적 에피택셜 실리콘층(24a) 성장시 인-시츄(in-situ) 도핑을 실시할 수 있으며, 산화막 스페이서(23)는 HTO(high temperature oxide) 또는 TEOS(tetraethylorthosilicate)를 사용하여 150~500 Å 두께로 형성한다. 또한, 선택적 에피택셜 실리콘층(24a)은 통상의 LPCVD법 또는 UHVCD법을 사용하여 1500~3000 Å 두께로 성장시키며, 선택적 에피택셜 실리콘층(24a) 성장 전에 통상적인 RCA 세정, UV 오존 세정, HF 세정 등을 실시할 수 있다.

계속하여, 도 2c에 도시된 바와 같이 전체 구조 상부에 중간절연막(25)을 증착하고, CMP 공정을 실시하여 더미 게이트(22)가 노출되도록 평탄화시킨다.

이어서, 도 2d에 도시된 바와 같이 더미 게이트(22)를 습식 제거하고, 게이트 절연막(26) 및 게이트 전극용 금속막(27)을 증착한 다음, CMP 공정을 진행하여 게이트 전극용 금속막(29)이 대머신 게이트용 홈 내에만 잔류되도록 한다. 이때, 게이트 절연막(28)으로는 탄탈륨산화막( $Ta_2O_5$ ), 알루미늄산화막( $Al_2O_3$ ), BST( $(Ba_{1-x}Sr_x)TiO_3$ ) 등의 고유전체를 사용할 수 있으며, 게이트 전극용 금속막(29)으로는 W, Al 등을 적용할 수 있다. 또한, 게이트 전극용 금속막(29) 증착 전에 WN, TiN 등의 확산방지막을 더 증착할 수 있다.

상기와 같은 공정을 통해 제조된 대머신 게이트형 MOS 트랜지스터는 더미 게이트(22)를 질화막으로 형성함으로써 CMP 공정시 질화막이 충분한 연마 정지막 역할을 수행할 수 있도록 하여 게이트 두께의 균일도를 확보할 수 있으며, 기존의 질화막 스페이서를 산화막 스페이서(23)로 대체함으로써 기존의 질화막 스페이서 식각에 의한 플라즈마 열화현상과 그에 따른 선택적 에피택셜 실리콘층(24a) 성장시의 성장 속도 저하 및 선택성 저하를 개선할 수 있게 된다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

예컨대, 전술한 실시예에서는 금속 게이트를 형성하는 경우를 일례로 들어 설명하였으나, 폴리실리콘 게이트, 폴리사이드 게이트, 실리사이드 게이트 등 게이트 전극 물질에 제한 없이 본 발명은 적용이 가능하다.

#### 발명의 효과

전술한 본 발명은 더미 게이트 방식의 대머신 게이트 공정시 게이트 두께 균일도를 확보하여 반도체 소자의 신뢰도를 확보할 수 있는 효과가 있으며, 또한, 에피택셜층 성장시 성장 속도 저하 및 선택성 저하를 개선하여 더미 게이트 방식의 대머신 공정에 SEG 기술을 적용할 수 있도록 하는 효과가 있다. SEG 기술의 적용은 단채널 효과의 감소, 후속 콘택 공정시의 공정 마진 증가라는 또 다른 효과를 가져올 수 있다.

#### (57) 청구의 범위

##### 청구항 1

소정의 하부층이 형성된 반도체 기판 상에 질화막을 사용하여 더미 게이트 패턴을 형성하는 제1 단계;  
 상기 더미 게이트 패턴 측벽에 산화막 스페이서를 형성하는 제2 단계;  
 상기 제2 단계 수행 후 노출된 상기 반도체 기판 상에 선택적 에피택셜층을 형성하는 제3 단계;  
 상기 제3 단계를 마친 전체 구조 상부에 중간절연막을 형성하는 제4 단계;  
 화학·기계적 연마 공정을 실시하여 상기 더미 게이트 패턴이 노출될 정도로 상기 중간절연막을 평탄화시키는 제5 단계;  
 상기 더미 게이트 패턴을 제거하는 제6 단계; 및  
 상기 더미 게이트 패턴이 제거된 홈 내에 게이트 절연막 및 게이트 전극용 전도막을 매립하는 제7 단계를 포함하여 이루어진 대머신 게이트형 MOS 트랜지스터 제조방법.

## 청구항 2

제1항에 있어서,

상기 제3 단계 수행 후,

상기 선택적 에피택셜층에 소오스/드레인 형성을 위한 이온주입을 실시하는 제3 단계와,

열처리를 실시하여 상기 소오스/드레인을 형성하는 제4 단계를 더 포함하여 이루어진 것을 특징으로 하는 대머신 게이트형 MOS 트랜지스터 제조방법.

## 청구항 3

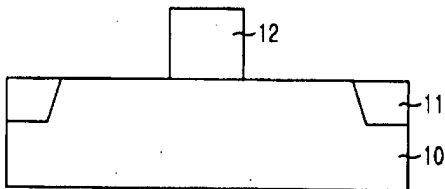
제1항에 있어서,

상기 제3 단계에서,

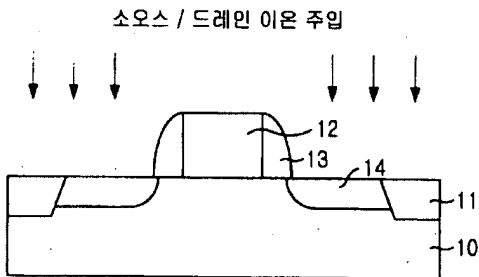
소오스/드레인 형성을 위한 도펀트를 인-시츄 도핑하는 것을 특징으로 하는 대머신 게이트형 MOS 트랜지스터 제조방법.

## 도면

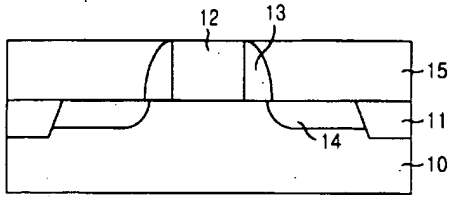
도면1a



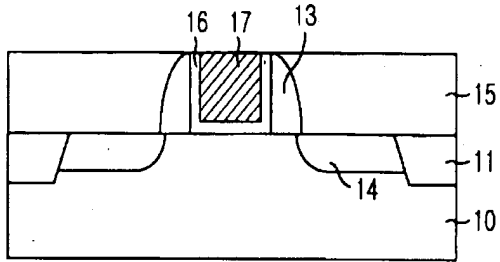
도면1b



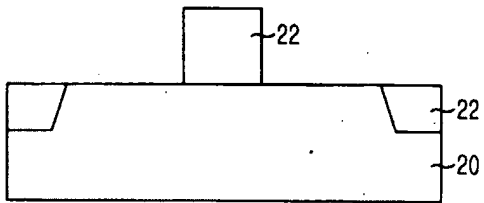
도면1c



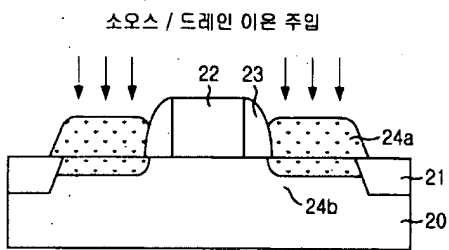
도면1d



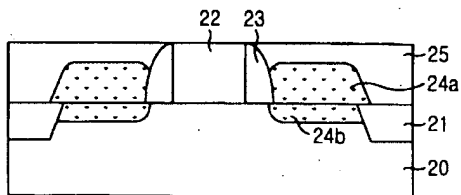
도면2a



도면2b



도면2c



도면2d

